

Design digitaler Schaltkreise

Einführung

- Thema: Digitales Chipdesign
- Übungen
 - Digitales Chipdesign (Theorie (dienstags), Softwaretools und praktische Arbeit)
- Vorlesungen
 - Struktur und Funktionsweise digitaler Schaltungen (Analyse eines Designs)
- Vorlesungsmaterial online
 - normalerweise zwei getrennte Dateien: Folien und Text
- HTML Seiten – Material zu Übungen
 - Theorie und Aufgaben mit Anleitungen
- Haupttermin Übungen
 - donnerstags zwischen 14 und 17 Uhr am Institut IMS (Westhochschule, CIP Pool Raum im ersten Stock, rechts)
- 3 Übungsaufgaben, 4 Termine
- Möglichkeit: Übungen als Blockkurs am IPE (CN)
- ILIAS Kurs: Design Digitaler Schaltkreise
- Übungsgruppe A: Termine 16.5. 6.6. 27.6. 11.7.
- Übungsgruppe B: Termine 23.5. 13.6. 4.7. 18.7.
- Übungsgruppe C (maximal 10): Blockkurs, 3 Tage, nach Vereinbarung
- Prüfung mündlich, mehrere Termine im August, September und Oktober

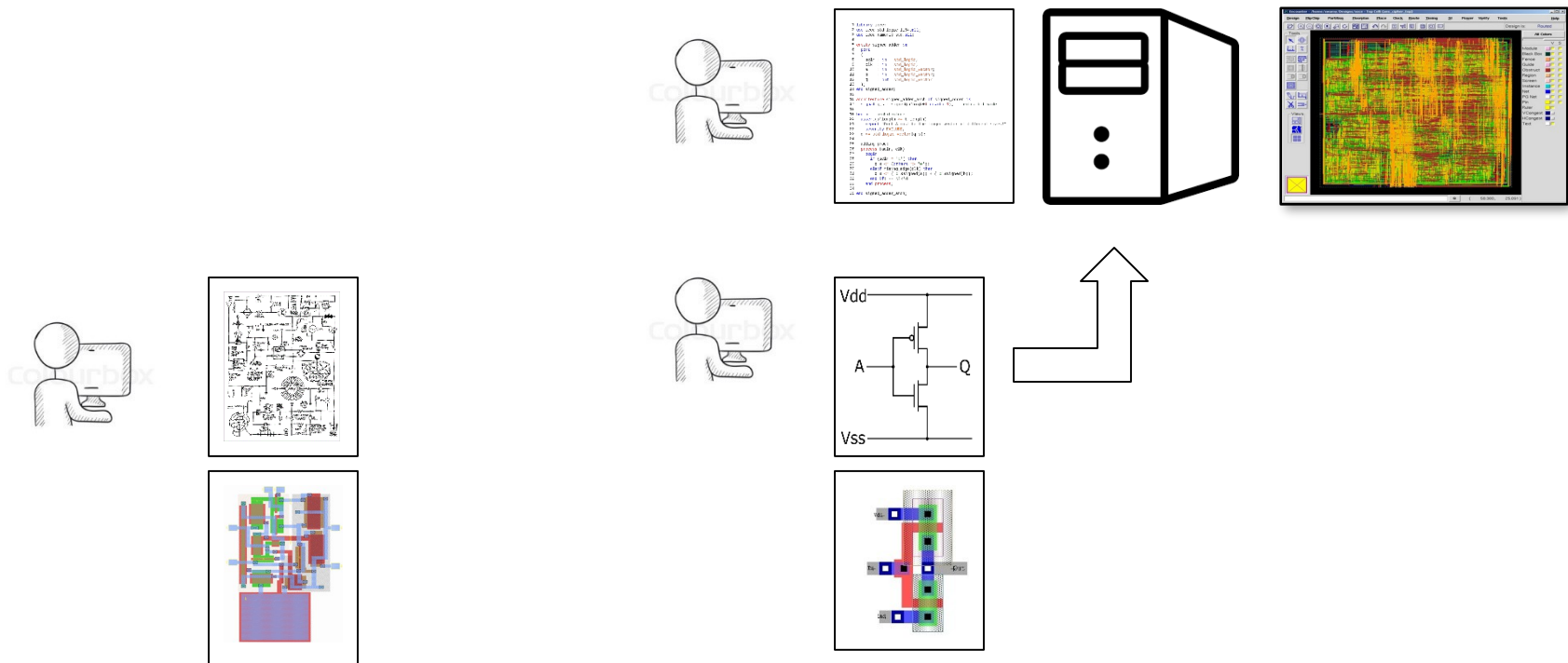
- Email Adresse:
- ivan.peric@kit.edu

Elektrotechnisches Institut (ETI)	26	2312669	Praktikum Nanoelektronik	Ilin	Praktikum
Institut für Elektroenergiesysteme und Hochspannungstechnik (IEH)	15	2312672	Praktikum Adaptive Sensorelektronik	Wünsch	Praktikum
Institut für Hochfrequenztechnik und Elektronik (IHE)	26	2312674	Praktikum Schaltungsdesign mit FPGA	Wünsch	Praktikum
Institut für Photonik und Quantenelektronik (IPQ)	16	2312661	Sprechstunde Prof. Holzapfel	Holzapfel	Sprechstunde
Institut für Nachrichtentechnik (CEL)	15	2312662	Anleitung zu selbständigen wissenschaftlichen Arbeiten	Holzapfel	Seminar
Institut für Technik der Informationsverarbeitung (ITIV)	28	> 2312676	Grundlagen und Technologie supraleitender Magnete	Holzapfel	Vorlesung
Institut für Mikro- und Nanoelektronische Systeme (IMS)	26	2312679	Eingebettete Schaltkreise und Detektoren	Siegel, und Mitarbeiter	Seminar
Lichttechnisches Institut (LTI)	29	> 2312682	Superconducting Materials for Energy Applications	Grilli	Vorlesung
Institut für Technische Physik (ITEP)		2312692	Übungen zu 2312682 Superconducting Materials for Energy Applications	Grilli	Übung
Veranstaltungen für andere Fakultäten	20	> 2312684	Projektmanagement für Ingenieure	Noe	Seminar
Veranstaltungen von anderen Fakultäten	6	> 2312683	Design digitaler Schaltkreise	Peric	Vorlesung
> Veranstaltungen für das International Department		2312685	Übungen zu 2312683 Design digitaler Schaltkreise	Peric	Übung
		2308902	Workshop Elektrotechnik und Informationstechnik II	Zwicky, Siegel	Praktikum
		> 2312671	Thin films: technology, physics and applications II	Ilin	Vorlesung
		> 2312673	Übung zu 2312671 Thin films: Technology, physics and application II	Ilin	Übung

Einträge 1 - 25 von 26 < > Seite 1 von 2 > >> 25 Einträge pro Seite

* Aus dieser Serie wurden Termine entfernt.

- Design digitaler IC-s
- Transistoren: erzeugen 1 und 0 Signale, Logische Gatter, Systeme
- Fully Customised Design: jede Schaltung wird für die gegebene Anwendung entworfen, um die Performanz zu optimieren. Schaltungen werden als Schaltplan beschrieben
- Semi Customised: Logische Schaltung ist in einer Computer-Sprache definiert, Schaltplan wird dann automatisch generiert. Der Schaltplan verwendet fertige Bauteile, logische Gatter

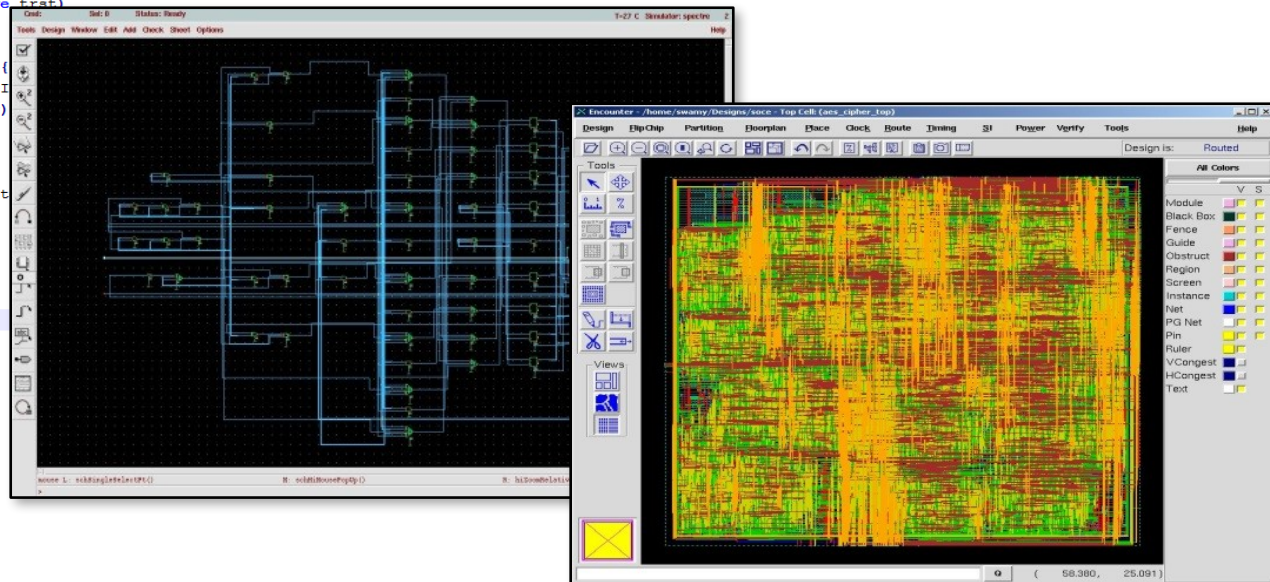


- Digitale Schaltungen werden in komplexen „System on Chips“ verwendet. Beispiele sind Mikroprozessoren. Die Zahl von logischen Funktionen ist oft einige hundert Millionen bis Milliarden
- Dieser Kurs: Semi Custom design
- Aufgabe 1: Design und Simulation mithilfe von Beschreibungssprache Verilog
- Aufgabe 2: Automatische Schaltungsimplementierung auf einem Chip (ASIC),

```

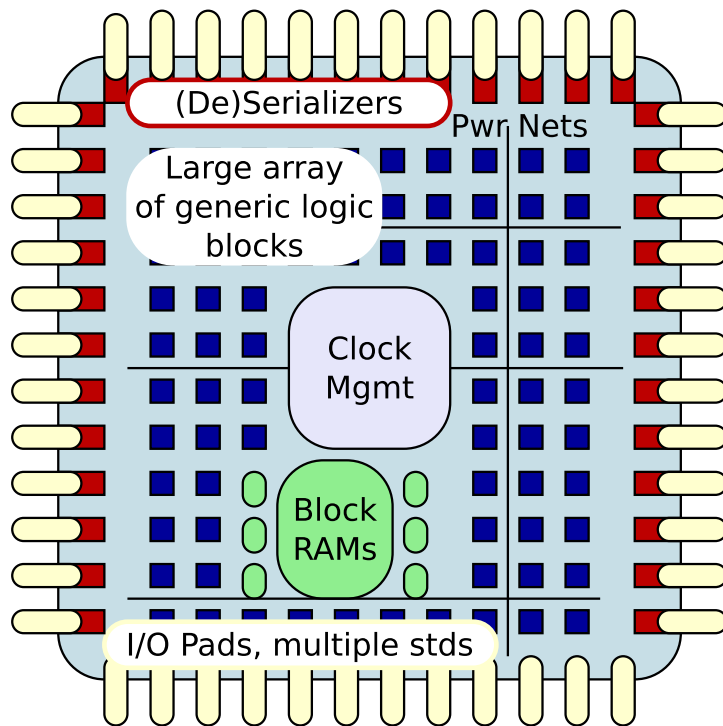
19 localparam IDCODE      = 4'b0010;
20 localparam INIT_IR_VALUE = 4'b0101;
21
22
23 reg [IR_LENGTH-1:0] jtag_ir;          // Instruction register.
24
25 always @ (posedge tck or posedge trst)
26 begin
27     if (trst) begin
28         jtag_ir[IR_LENGTH-1:0] <= {
29             latched_jtag_ir
30         }
31     end else if (state_capture_ir)
32         jtag_ir <= INIT_IR_VALUE;
33     moved
34     else if (state_shift_ir)
35         jtag_ir[IR_LENGTH-1:0] <= {
36             latched_jtag_ir, jtag_ir
37         }
38     always @ (negedge tck)
39     begin
40         serout <= jtag_ir[0];
41     end

```



- FPGAs sind konfigurierbare ASICs, welche viele fertige Hardware-ressourcen haben (z.b. Mikroprozessor)
- ASIC ist wie ein leeres Zeichnungsblatt, der Designer muss alle Komponenten entwerfen.

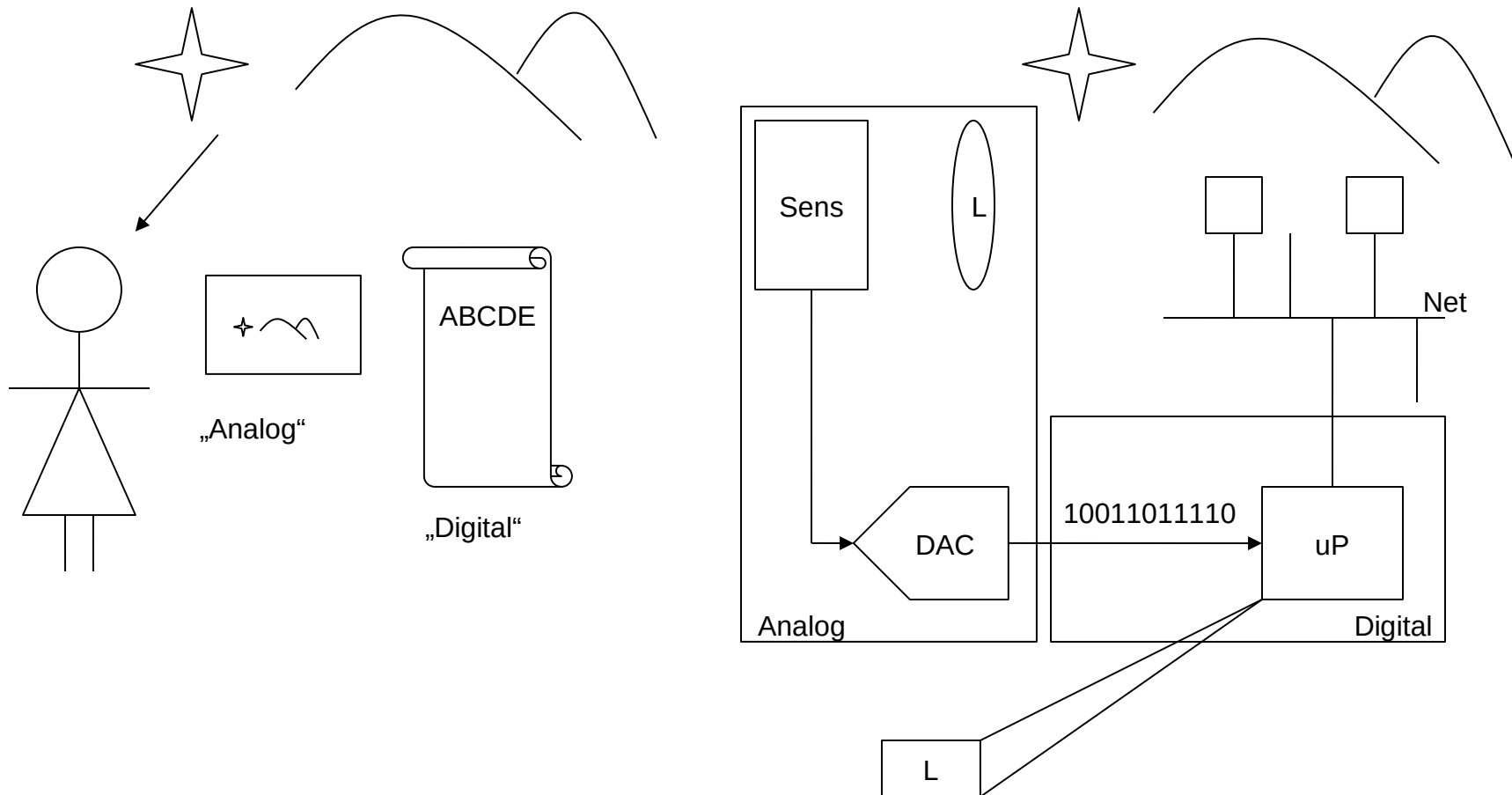
FPGA



ASIC



- Wir leben in einer analogen Welt - alle 'Messgrößen' unserer Umwelt (Licht, Töne, Temperatur, elektrische Spannungen, Druck etc..) sind analog
- Aber: Information war und ist oft „digital“ gespeichert und bearbeitet

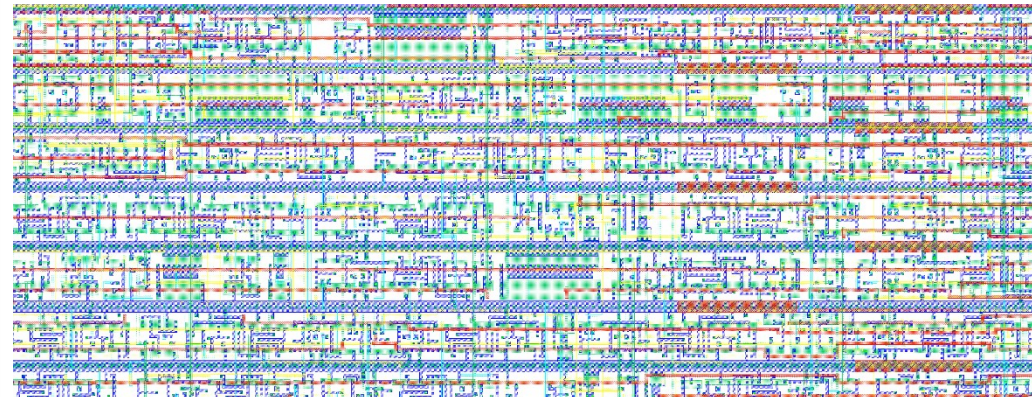
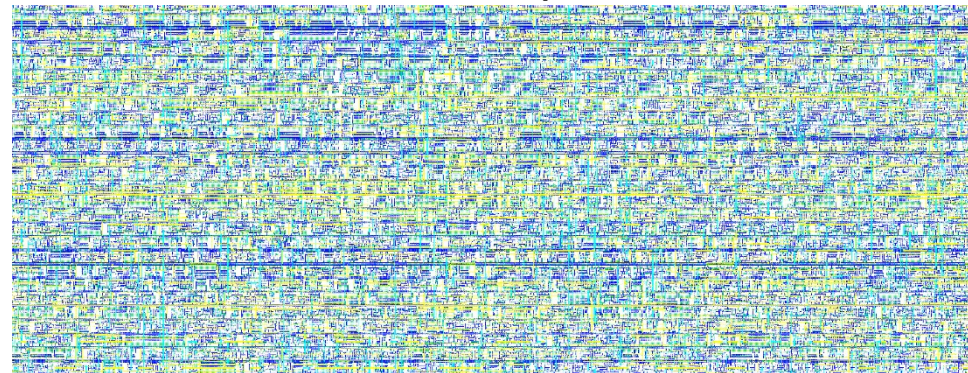
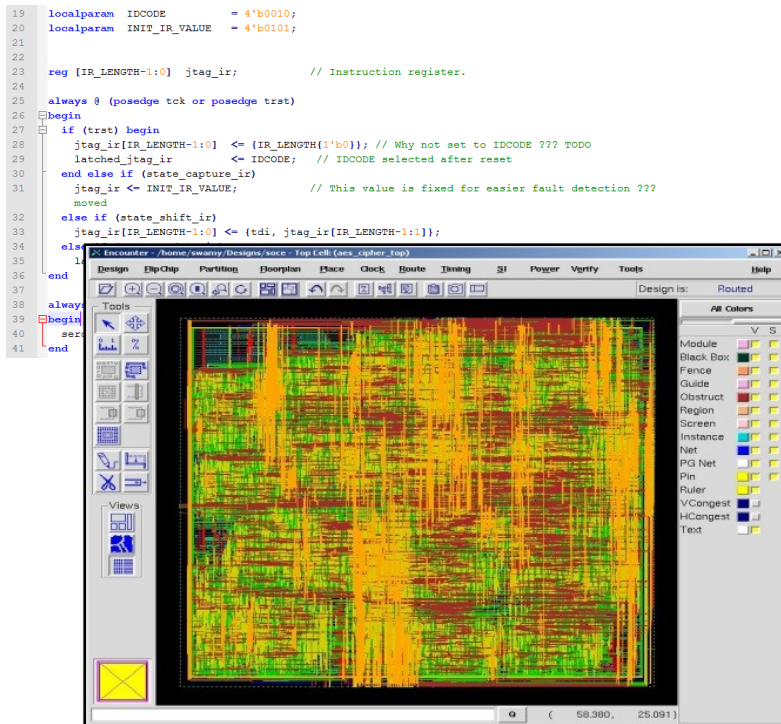


- Vorteile von digitaler Datenverarbeitung
- Schaltungen und Geräte sind kleiner und flexibler
- Mathematische Operationen mit Bits sind einfacher zu realisieren als mit analogen Größen
- Rauschen beeinträchtigt ein digitales Signal weniger – falls Rauschen unter einer Schwelle liegt -> keine Störung
- CMOS Transistoren (geeignet für digitale Schaltungen) sind deutlich kleiner als bipolare Transistoren (geeignet für analoge Schaltungen)
- Digitales Signal ist an sich verlustbehaftet (Quantisierungs- und Abtastfehler)
- Digitale Signalbearbeitung ist nie in Echtzeit
- Alle digitalen Komponenten sind im Grunde analog
- Schnittstellen zwischen uns und digitalen Geräten sind analog

- Ein/e Digital-Chipdesigner/in braucht die folgenden theoretischen Kenntnisse:
- Sie/er sollte die Werkzeuge benutzen können
- Ungefähr wissen wie die Schaltung auf dem Chip aussieht, die einem Code entspricht (auch ohne Software-Tools zu starten)
- Einige Standardschaltungen (als Code und als Schaltung) kennen (Statemaschine, Serialisierer, Phasendetektor, FIFO, RAM...)
- Und viel Erfahrung haben



- Ein/e Digital-Chipdesigner/in braucht die folgenden theoretischen Kenntnisse:
- Sie/er sollte die Werkzeuge benutzen können
- Ungefähr wissen wie die Schaltung auf dem Chip aussieht, die einem Code entspricht (auch ohne Software-Tools zu starten)
- Einige Standardschaltungen (als Code und als Schaltung) kennen (Statemaschine, Serialisierer, Phasendetektor, FIFO, RAM...)



- 23.4. (introduction) x
- 30.4. (cmos inverter) x
- 7.5. (gates mux 47f, dff 20f)
- 14.5. (verilog) 16.5. cnt simu
- 21.5. (statemachine 30f, codierer 28f) 23.5. cnt simu
- 28.5. (x) 30.5. (Feiertag)
- 4.6. (setup&hold 30f, synthesis 10f) 6.6. synthesis
- 11.6. (place and route) 13.6. synthesis
- 18.6. (p&r advanced) 20.6. (Feiertag)
- 25.6. (tbd) 27.6. p&r
- 2.7. (memories) 4.7. p&r
- 9.7. (data transfer) 11.7. p&r
- 16.7. (tbd) 18.7. p&r
- 23.7. (questions) 25.7.